

计组头哥实验 第1关 8位可控加减法电路设计

原创

Vgt`阿尘 于 2021-05-29 12:45:00 发布 1597 收藏 5

分类专栏: [计组头哥实验](#)

版权声明: 本文为博主原创文章, 遵循 [CC 4.0 BY-SA](#) 版权协议, 转载请附上原文出处链接和本声明。

本文链接: https://blog.csdn.net/qq_34596217/article/details/117382867

版权



[计组头哥实验 专栏收录该内容](#)

2 篇文章 0 订阅

订阅专栏

实验目的

学生掌握一位全加器的实现逻辑, 掌握多位可控加减法电路的实现逻辑, 熟悉 Logisim 平台基本功能, 能在 logisim 中实现多位可控加减法电路。

实验内容

在 logisim 模拟器中打开 alu.circ 文件, 在对应子电路中利用已经封装好的全加器设计 8 位串行可控加减法电路, 用户可以直接使用在电路中使用对应的隧道标签, 应该对加法减法过程中的有符号运算进行溢出判断, 给出有符号溢出信号 OF, 和进位输出 Cout。

电路框架

alu.circ

电路引脚

信号 输入/输出 位宽 说明

X 输入 8位 加数/被减数

Y 输入 8位 加数/减数

Sub 输入 1位 运算控制位 1: 减法 0: 加法

S 输出 8位 运算结果 和/差

Cout 输出 1位 进位输出

OF 输出 1位 有符号运算溢出检测位

电路测试

完成实验后利用文本编辑工具打开 alu.circ 文件，将所有文字信息复制粘贴到 educoder 平台的 alu.circ 文件中，再点击评测按钮即可进行本关测试，平台会对你设计的电路进行自动测试，为方便测试，请勿修改子电路封装，本关测试用例如下：

X Y Sub S Cout OF

10 21 0 31 0 0

7f 02 0 81 0 1

ff fe 0 fd 1 0

81 82 0 03 1 1

10 df 1 31 0 0

7f fe 1 81 0 1

ff 02 1 fd 1 0

81 7e 1 03 1 1

常见问题

Cout一直悬空，估计是没有接这个引脚。

开始你的闯关任务吧，升级打怪中....

Logisim: 8位可控加减法器 of 8位可控加减法器电路设计

文件 编辑 项目 模拟 窗口 帮助

8位可控加减法器设计*

- ★4位快速进位44102
- ★4位快速加法器
- ★16位快速加法器
- ★32位快速加法器
- ★256位快速加法器
- ★4位补码阵列乘法器
- ★5位无符号乘法流水3线
- ★原码一位乘法器
- ★补码一位乘法器
- ★算术逻辑运算单元ALU
- ★ALU自动测试
- ★9位乘法与1阵列
- ★乘法流水级接口
- ★一位全加器FA封装1
- ★一位全加器FA封装2
- ★一位全加器FA封装3
- ★8位并行加法器
- ★华英字典
- ★shope
- ★mace
- ★单质筛分
- ★单质筛分
- ★筛筛 (sieve)
- ★筛筛 (sieve)
- ★筛筛 (sieve)

选区: 隧道 (Tunnel)

| | |
|------|-----------------|
| 语句 | 北 |
| 数据位宽 | 1 |
| 标签 | 10 |
| 标签字体 | SansSerif 标准 12 |

190%

功能说明: 8位可控加减法器 Sub=0: S = X + Y Sub=1: S = X - Y Cout为最高位进位, Overflow为有符号溢出标志

8位可控加减法器

运算指示